

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-015929

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

G06F 12/00

G06F 12/16

G11C 16/02

(21)Application number : 2001-197388

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 28.06.2001

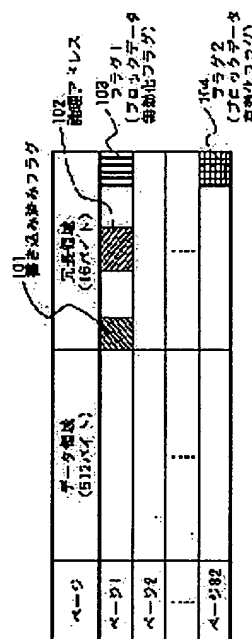
(72)Inventor : TAKEUCHI AKIO
SHIYOURAIDEN JUICHI
IWATA KAZUYA

(54) CONTROL METHOD FOR NONVOLATILE MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a control method for a nonvolatile memory which avoids the occurrence wherein data that could have been erased are not erased or data that could have been written are lost, even if a forced suspend occurs due to power shutdown for a memory device, a reset instruction or the like halfway through overwriting in a block.

SOLUTION: When data are written in the last page of the block, a block data validation flag provided in a redundant area of the last page of the block is set as 0 (valid), so that the block is validated. Besides, a counter for determining whether the block is old or new is provided, so that the data can be protected even when the solving means can not deal with.



LEGAL STATUS

[Date of request for examination]

22.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3692313

[Date of registration]

24.06.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-15929

(P 2 0 0 3 - 1 5 9 2 9 A)

(43) 公開日 平成15年1月17日(2003.1.17)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコ-ド (参考)		
G06F 12/00	542	G06F 12/00	542	M	5B018
12/16	340	12/16	340	P	5B025
G11C 16/02		G11C 17/00	601	P	5B082
			601	E	

審査請求 未請求 請求項の数 6 O L (全12頁)

(21) 出願番号 特願2001-197388(P 2001-197388)

(22) 出願日 平成13年6月28日(2001.6.28)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 竹内 昭夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 小来田 重一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100062926

弁理士 東島 隆治

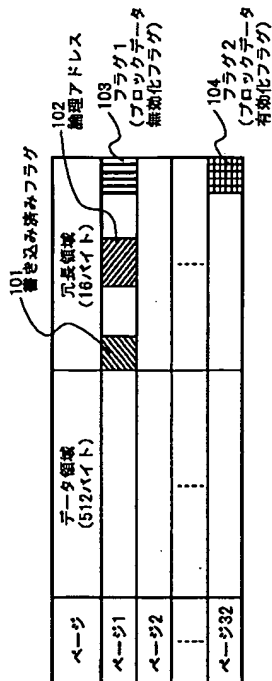
最終頁に続く

(54) 【発明の名称】 不揮発性メモリの制御方法

(57) 【要約】

【課題】 ブロックを上書きしている途中に、記憶装置の電源遮断やリセット命令等で強制的な中断が発生した場合でも、消去したはずのデータが消去されていないか、書き込みしたはずのデータが消失したりすることがない不揮発性メモリの制御方法を提供する。

【解決手段】 ブロックの最終ページにデータを書き込む際、そのブロックの最終ページの冗長領域に設けたブロックデータ有効化フラグを0(有効)にすることにより、そのブロックを有効化する。さらに、新旧判定用のカウンタを設けることにより前記解決手段において対処できない場合でもデータを保護することができる。



【特許請求の範囲】

【請求項1】 複数のブロックを有し、
前記ブロックは複数のページを有し、
前記ページはデータを書き込むデータ領域と冗長領域とを有し、
前記ブロックの最初の前記ページの前記冗長領域は、そのブロックに書き込まれた前記データが無効か否かを示し且つ不揮発性メモリが消去された状態において前記データが無効でないことを示すブロックデータ無効化フラグを有し、
前記ブロックの最後の前記ページの前記冗長領域は、そのブロックに書き込まれた前記データが有効か否かを示し且つ不揮発性メモリが消去された状態において前記データが有効でないことを示すブロックデータ有効化フラグを有する、
不揮発性メモリの制御方法であって、
前記データ領域にデータを書き込むデータ書き込みステップと、
前記データを書き込んだ前記データ領域を有する前記ブロックの前記ブロックデータ有効化フラグを、前記データが有効であることを示すようにする有効化ステップと、
を有することを特徴とする不揮発性メモリの制御方法。
【請求項2】 前記有効化ステップを前記データ書き込みステップと同時に又は連続して実行する方法と、前記データ書き込みステップ後データ正当性チェックを行い前記有効化ステップを実行する方法とを、ハードウェア又はソフトウェアにより選択する選択ステップを更に有することを特徴とする請求項1に記載の不揮発性メモリの制御方法。
【請求項3】 元のデータを新たなデータに更新する場合に、前記新たなデータを書き込んだ前記ブロックについて行う有効化ステップと、前記元のデータが書き込まれた前記ブロックの前記ブロックデータ無効化フラグを前記元のデータが無効であることを示すようにする無効化ステップとを、同時に実行することを特徴とする請求項1に記載の不揮発性メモリの制御方法。
【請求項4】 前記冗長領域は論理アドレスと、前記ブロックに書き込まれた前記データの履歴情報とを更に有し、同一の前記論理アドレスを有する複数のブロックがある場合には、前記履歴情報に基づいてどのブロックのデータが現在有効であるかを判断する判断ステップを更に有することを特徴とする請求項1に記載の不揮発性メモリの制御方法。
【請求項5】 複数のブロックを有し、
前記ブロックは複数のページを有し、
前記ページはデータを書き込むデータ領域と冗長領域とを有し、
前記ブロックの最初の前記ページの前記冗長領域は、そのブロックに書き込まれた前記データが無効か否かを示

し且つ不揮発性メモリが消去された状態において前記データが無効でないことを示すブロックデータ無効化フラグを有し、

前記ブロックの最後の前記ページの前記冗長領域は、そのブロックに書き込まれた前記データが有効か否かを示し且つ不揮発性メモリが消去された状態において前記データが有効でないことを示すブロックデータ有効化フラグを有し、

少なくとも1個の前記ブロックのブロックデータ有効化フラグが、前記データが有効であることを示す、ことを特徴とする不揮発性メモリ。

【請求項6】 前記冗長領域は論理アドレスと、前記ブロックに書き込まれた前記データの履歴情報とを更に有することを特徴とする請求項5に記載の不揮発性メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体メモリ及び不揮発性半導体メモリの制御方法に関する。

【0002】

【従来の技術】近年、音楽や映像データを扱う携帯機器の記憶装置として、フラッシュメモリ等の不揮発性メモリを用いた記憶装置が注目されている。フラッシュメモリの構造について、512MビットNAND型フラッシュの場合を例に取り説明する。図2は、512Mビットフラッシュメモリの物理ブロック構成例である。1フラッシュメモリは4096個のブロックにより構成されている。このブロックは消去の基本単位になっている。1ブロックはさらに32ページに分割され、1ページは読み出し、書き込みの基本単位となる。1ページの容量は528バイトであり、そのうち512バイトはデータ領域、残り16バイトは冗長領域である。データ領域はユーザが使用する領域であり、冗長領域は不揮発性メモリ記憶装置のシステム制御部が使用する領域である。実施例のフラッシュメモリの各データは、消去状態(消去済みで未記憶)において1である。従ってフラッシュメモリに1を書き込むことを何も書かないことに置き換えてもよい。

【0003】図3は、従来のフラッシュメモリの物理ブロック内の構成図例である。1物理ブロックの冗長領域に書かれている主なデータを表わしている。最初のページの冗長領域に、書き込み済みフラグ101、論理アドレス102、ブロックデータ無効化フラグであるフラグ1103の3つが配置されている。これらの各データについては後で説明する。

【0004】図4は、論理アドレスと物理アドレスの関係を表す図である。フラッシュメモリを用いた不揮発性メモリ記憶装置においては、外部から指定される論理アドレスと、フラッシュメモリ内に配置される物理アドレスは一般的に一致しない。一致させると、フラッシュメ

メモリ内で不良が発生したブロックのアドレスが使用できず、アプリケーションに負担がかかったり、あるいは特定アドレスに書き込みが頻発するシステムでは、そのアドレスに該当するブロックが短期間で書き換え保証回数を上回り短寿命になってしまう、という不都合が生じるからである。従って図3のように、物理ブロックは自分がどの論理アドレスに割り当てられているか冗長エリアの中に記憶している。一般的に不揮発性メモリ記憶装置のシステム制御部は、電源投入時に全フラッシュメモリの冗長領域に書かれている論理アドレス情報を読み出し、図5のような論理アドレスと物理アドレスを変換する論理物理アドレス変換テーブルをRAM上に作成する。システム制御部は、コマンド処理時に、外部から指定される論理アドレスに対し、その論理物理アドレス変換テーブルで物理アドレスを特定し、その物理アドレスに対しアクセスを行う。

【0005】図6から図8を用いて、従来の一般的な書き込み手順について説明する。図6は、1ブロック書き込み処理概要フローチャートである。図7は、図6のステップ603における新データ書き込み処理部の詳細フローチャートである。図8は、図7のステップ706における冗長領域データ作成処理部の詳細フローチャートである。

【0006】図6において、ステップ601でエントリテーブルより消去済みブロックを検索する。エントリテーブルは消去済みで未書き込みのブロックの一覧表で、前記論理物理アドレス変換テーブルと同様に、電源投入時に全フラッシュメモリの冗長領域に書かれている書き込み済みフラグを読み出しRAM上に作成されるテーブルである。ステップ602でエントリテーブルを更新し、消去済みブロックを確保する。ステップ603で確保したブロックにデータを書き込む(詳細は図7、8)。ステップ604で旧ブロックが存在するか否か論理物理アドレス変換テーブルより判断する。存在する場合は、ステップ605に進む。ステップ605で旧ブロックの先頭ページの冗長領域にあるフラグ1に0(無効)をオーバーライトし、旧ブロックを無効化する。存在しない場合は、ステップ605をスキップしてステップ606に進む。ステップ606で論理物理アドレス変換テーブルの旧ブロックの物理アドレスを新ブロックの物理アドレスに書き換え、このフローチャートを終了する。

【0007】なお、旧データの消去においては、物理的に消去する方法と、データが無効であることを表わすフラグにマーキングすることで見かけ上消去し別タイミングで物理消去を行う方法がある。後者の方が一般的に行われており、前記図6のフローチャートもこの方式で説明した。これはフラッシュメモリが物理的消去よりもフラグのオーバーライトの方が早いためであり、また複数のフラッシュメモリチップより構成された不揮発性メモリ記憶装置においては、他フラッシュメモリチップの書

き込みを行っている間に、無効マーキングされたブロックを同時に物理消去すれば、その書き込みと消去を同時に行っている時間分だけ、全体として書き込み速度が高速になるからである。

【0008】図7において、ステップ701でRAM上に設けられたページカウンタを初期値(1)に設定する。ステップ702でホストから与えられたデータを書くページか否か判断する。ホストから与えられたデータを書くページであれば、ステップ703に進みホストからデータを1ページ入力する。ホストから与えられたデータを書くページでなければ、ステップ704に進み旧ブロックからデータを1ページ読み出す。ステップ705でデータ領域にデータをセットし、ステップ706で冗長領域にデータをセットする(詳細は図8)。ステップ707で1ページ書き込む。ステップ708でページカウンタを1加算する。ステップ709でページカウンタが33以上か否か判断する。ページカウンタが33未満の間はステップ702からステップ709を繰り返す。ページカウンタが33になればこのフローチャートを終了する。

【0009】前記図7のステップ702からステップ704は、書き込み単位がページであり、消去単位がブロックであるため発生する処理で、巻き込み処理と呼ばれている。つまり外部から書き込みデータがページ単位で渡された時、それ以外のページに関しては、従来データをそのまま保持する必要があるため、変更する旧ブロックから読み出し、そのデータを合成して1ブロック分の書き込みを行っている。書き込み開始ページ、終了ページにより、前半巻き込み処理と後半の巻き込み処理がある。

【0010】図8において、ステップ801で先頭ページか否か判断する。先頭ページの場合はステップ802に進み書き込み済みフラグ101に0(書き込み済み)をセットする。ステップ803でホストから指示された論理アドレス102をセットする。ステップ804でフラグ1 103に1(無効でない)をセットし、このフローチャートを終了する。ステップ801で先頭ページでない場合はこのフローチャートを終了する。

【0011】このようなシステムにおいて、ブロックを上書きしている途中に、記憶装置の電源遮断や記憶装置へのリセット命令等で強制的な中断が発生した場合、同一論理アドレスに2つの物理アドレスが存在することになる。この現象は前述の手順のうち、新ブロックデータの書き込み(ステップ603)の途中、もしくは新ブロックデータの書き込み(ステップ603)が完了し旧ブロックデータの無効化(ステップ604)が行われる前に中断した場合に発生する。

【0012】この現象が発生した後の初期時の論理物理アドレス変換テーブル作成時、どちらか一方のブロックの物理アドレスを論理物理アドレス変換テーブルに登録

し、他方のブロックデータと論理アドレスとが書き込まれたブロックを放置した場合、登録したブロックを消去して電源を再投入した時、新たにRAM上に生成される論理物理アドレス変換テーブルにおいて、消去したはずの論理アドレスに他のブロックの物理アドレスが登録される。結果として消去したはずのアドレスが消去されていないといった現象が発生する。また、古いブロックデータが書き込まれたブロックと、新しいブロックデータが書き込まれたブロックとに、同一の論理アドレスを書き込んだ状態で中断し、次に電源を再投入した場合、古いブロックデータが書き込まれたブロックの物理アドレスが論理物理アドレス変換テーブルに登録される可能性がある。この場合新しいブロックデータが消失したことになる。いずれにせよシステムとして致命的な現象が発生する。

【0013】従来は、初期時の論理物理変換テーブルの作成時、同一論理アドレスに物理アドレスの重複が発見された場合、一方のブロックを無効化して重複を解消する処理が行われてきた。両ブロックの選択方法は、両ブロックのデータ読み出しを行い、ページ毎に設けられたエラー訂正符号を確認してエラーの無いブロックを選択する、あるいは最終ページまで書き込まれたブロックを選択する、といった方法が取られてきた。

【0014】

【発明が解決しようとする課題】近年のフラッシュメモリ及び不揮発性メモリ記憶装置の大容量化に伴い、論理物理アドレス変換テーブル作成処理を高速に行う必要性がでてきたが、前記アドレス重複解消処理が高速化の大きな障害となっている。ハードウェアによる論理物理アドレス変換テーブル作成が一般的だが、アドレス重複情報をソフトウェアに引継いで処理を行う方法は論理物理アドレス変換テーブル作成の速度を大きく低下させる。ハードウェアで全て処理するとしても、アドレス重複解消に従来の複雑な判断処理を行うと、その処理に伴うハードウェア面積が増大し、価格の上昇につながってしまう。

【0015】さらに、重複した両方のブロックが、物理的に最終ページまで正しく書き込まれた状態でも、データ領域の内容により正しいブロックを選択しなければならない場合がある。例えば、上書き処理において、新データの書き込みが行われた後、そのデータの中に含まれるエラー訂正符号を確認したり、あるいはそのデータの値を異常値かどうか判定し、正当性を確認して初めて旧データを無効化する、といった処理が必要なデータの場合である。このような場合、例えば単純に書き込み時期の新しい方のデータを選択するといった方法では解決できず、データ個々の事情に応じてデータ領域まで走査し、正しいブロックを判断、選択する処理を行う必要があるが、全てハードウェアで実現するのは困難である。本発明は、このような問題点に鑑みてなされたものであ

り、簡単な構造の追加で、信頼性を確保しつつ、論理物理アドレス変換テーブルが高速に作成可能な記憶装置を提供することを目的とする。

【0016】

【課題を解決するための手段】上記課題を解決するため、本発明は下記の構成を有する。請求項1に記載の発明は、複数のブロックを有し、前記ブロックは複数のページを有し、前記ページはデータを書き込むデータ領域と冗長領域とを有し、前記ブロックの最初の前記ページの前記冗長領域は、そのブロックに書き込まれた前記データが無効か否かを示し且つ不揮発性メモリが消去された状態において前記データが無効でないことを示すブロックデータ無効化フラグを有し、前記ブロックの最後の前記ページの前記冗長領域は、そのブロックに書き込まれた前記データが有効か否かを示し且つ不揮発性メモリが消去された状態において前記データが有効でないことを示すブロックデータ有効化フラグを有する、不揮発性メモリの制御方法であって、前記データ領域にデータを書き込むデータ書き込みステップと、前記データを書き込んだ前記データ領域を有する前記ブロックの前記ブロックデータ有効化フラグを、前記データが有効であることを示すようにする有効化ステップと、を有することを特徴とする不揮発性メモリの制御方法である。

【0017】請求項2に記載の発明は、前記有効化ステップを前記データ書き込みステップと同時に又は連続して実行する方法と、前記データ書き込みステップ後データ正当性チェックを行い前記有効化ステップを実行する方法とを、ハードウェア又はソフトウェアにより選択する選択ステップを更に有することを特徴とする請求項1に記載の不揮発性メモリの制御方法である。

【0018】請求項3に記載の発明は、元のデータを新たなデータに更新する場合に、前記新たなデータを書き込んだ前記ブロックについて行う有効化ステップと、前記元のデータが書き込まれた前記ブロックの前記ブロックデータ無効化フラグを前記元のデータが無効であることを示すようにする無効化ステップとを、同時に実行することを特徴とする請求項1に記載の不揮発性メモリの制御方法である。

【0019】請求項4に記載の発明は、前記冗長領域は論理アドレスと、前記ブロックに書き込まれた前記データの履歴情報とを更に有し、同一の前記論理アドレスを有する複数のブロックがある場合には、前記履歴情報に基づいてどのブロックのデータが現在有効であるかを判断する判断ステップを更に有することを特徴とする請求項1に記載の不揮発性メモリの制御方法である。「履歴情報」とは、データの新旧を明確にする情報である。例えば、カウンタ値や日時である。

【0020】請求項5に記載の発明は、複数のブロックを有し、前記ブロックは複数のページを有し、前記ページはデータを書き込むデータ領域と冗長領域とを有し、

10

20

30

40

50

前記ブロックの最初の前記ページの前記冗長領域は、そのブロックに書き込まれた前記データが無効か否かを示し且つ不揮発性メモリが消去された状態において前記データが無効でないことを示すブロックデータ無効化フラグを有し、前記ブロックの最後の前記ページの前記冗長領域は、そのブロックに書き込まれた前記データが有効か否かを示し且つ不揮発性メモリが消去された状態において前記データが有効でないことを示すブロックデータ有効化フラグを有し、少なくとも1個の前記ブロックのブロックデータ有効化フラグが、前記データが有効であることを示す、ことを特徴とする不揮発性メモリである。

【0021】請求項6に記載の発明は、前記冗長領域は論理アドレスと、前記ブロックに書き込まれた前記データの履歴情報とを更に有することを特徴とする請求項5に記載の不揮発性メモリである。本発明により、上書き途中の中断による同一論理アドレスに対する物理アドレスの重複の危険性を大きく軽減させ、信頼性を確保しつつ高速動作可能な記憶装置の制御を実現することができる。

【0022】

【発明の実施の形態】以下、本発明の実施をするための最良の形態を具体的に示した実施例について、図面とともに記載する。

【0023】《実施例1》図1、6、7、9を用いて、本発明の実施例1の記憶装置を説明する。図1は、本発明の実施例1のフラッシュメモリの物理ブロック内の構成図例である。1物理ブロックの冗長領域に書かれている主なデータを表わしている。最初のページの冗長領域に、書き込み済みフラグ101、論理アドレス102、30 ブロックデータ無効化フラグであるフラグ1 103の3つが配置されている。最後のページの冗長領域に、ブロックデータ有効化フラグであるフラグ2 104が配置されている。従来例(図3)との違いは、フラグ2 104が追加された点である。

【0024】書き込み済みフラグ101は、このブロックに書き込みがあったことを表わすフラグである。書き込み済みフラグ101は、1の時そのブロックが未書き込みであることを表し、0を書き込んだ時そのブロックが書き込み済みであることを表す。先頭ページに書き込む際に、合わせて書き込み済みフラグ101に固定値0を書き込めばそのブロックを書き込み済みにできる。1ブロックデータの書き込み中に中断することを考えると、書き込み済みフラグ101は先頭ページにあることが必要条件である。

【0025】論理アドレス102は、その物理ブロックが現在割り当てられている論理アドレスを示す。これはかならずしも先頭ページに配置する必要は無いが、論理アドレス102が前述の書き込み済みフラグ101を兼用すれば、先頭ページに配置することが必要となる。例

えば16ビットで論理アドレスを表現する場合では、論理アドレス102の値が消去状態の0x f f f fの時を未書き込みと割り付け、論理アドレス102の値が0x f f f f以外の値であれば書き込み済みと判断する。実際の論理アドレスではその数値以外の値を取るように規則を決めれば、論理アドレス102が書き込み済みフラグを兼用することが可能である。

【0026】フラグ1 103は、ブロックデータ無効化フラグである。フラグ1 103は、1の時その物理ブロックが無効でないことを表し、0を書き込んだ時その物理ブロックが無効であることを表わす。新データを書き込む時は1のままとし、そのデータに上書きが発生した場合(そのブロックに書かれたデータが古いデータになった場合)、このフラグのみをオーバーライトにより0にすることで後から無効化できる。フラッシュメモリのオーバーライトとは、データを消去せず、そのまま上書きを行うことである。フラグ2 104は、ブロックデータ有効化フラグである。フラグ2 104は、1の時その物理ブロックが有効でないことを表し、0を書き込んだ時その物理ブロックが有効であることを表わす。最終ページに書き込む際に、合わせてフラグ2 104に0を書き込めばそのブロックを有効化できる。1ブロックデータの書き込み中に中断することを考えると、フラグ2 104は最終ページにあることが必要条件である。

【0027】前述のように、書き込み済みフラグを先頭ページ、フラグ2を最終ページに割り当てる必要があるため、論理アドレス、及びフラグ1も、そのいずれかに割り当てる方が効率が良い。即ち、初期の論理物理アドレス変換テーブル作成においては、走査するページが少ない方が読み出す時間が短くなるためテーブル作成時間を短縮できるからである。

【0028】図6、7、9を用いて、本発明の実施例1のメモリシステムの書き込み手順について説明する。図6は、本発明の実施例1の1ブロック書き込み処理の概要フローチャートである。図7は、本発明の実施例1の図6のステップ603における新データ書き込み処理部の詳細フローチャートである。図9は、本発明の実施例1の図7のステップ706における冗長領域データ作成処理部の詳細フローチャートである。

【0029】図6において、ステップ601でエントリテーブルより消去済みブロックを検索する。ステップ602でエントリテーブルを更新し、消去済みブロックを確保する。ステップ603で確保したブロックにデータを書き込む(詳細は図7、9)。ステップ604で旧ブロックが存在するか否か論理物理アドレス変換テーブルより判断する。存在する場合は、ステップ605に進む。ステップ605で旧ブロックの先頭ページの冗長領域にあるフラグ1に0(無効)をオーバーライトし、旧ブロックを無効化する。存在しない場合は、ステップ605を

スキップしてステップ606に進む。ステップ606で論理物理アドレス変換テーブルの旧ブロックの物理アドレスを新ブロックの物理アドレスに書き換え、このフローチャートを終了する。

【0030】なお、旧データの消去においては、物理的に消去する方法と、データが無効であることを表わすフラグにマーキングすることで見かけ上消去し別タイミングで物理消去を行う方法がある。後者の方が一般的に行われており、図6のフローチャートもこの方式で説明した。これはフラッシュメモリが物理的消去よりもフラグのオーバーライトの方が早いためであり、また複数のフラッシュメモリチップより構成された不揮発性メモリ記憶装置においては、他フラッシュメモリチップの書き込みを行っている間に、無効マーキングされたブロックを同時に物理消去すれば、その書き込みと消去を同時に行っている時間分だけ、全体として書き込み速度が高速になるからである。

【0031】図7において、ステップ701でRAM上に設けられたページカウンタを初期値(1)に設定する。ステップ702でホストから与えられたデータを書くページか否か判断する。ホストから与えられたデータを書くページであれば、ステップ703に進みホストからデータを1ページ入力する。ホストから与えられたデータを書くページでなければ、ステップ704に進み旧ブロックからデータを1ページ読み出す。ステップ705でデータ領域にデータをセットし、ステップ706で冗長領域にデータをセットする(詳細は図9)。ステップ707で1ページ書き込む。ステップ708でページカウンタを1加算する。ステップ709でページカウンタが33以上か否か判断する。ページカウンタが33未満の間はステップ702からステップ709を繰り返す。ページカウンタが33になればこのフローチャートを終了する。

【0032】書き込み単位がページであり、消去単位がブロックであるため、ブロックに満たないデータの書き込みにおいては、巻き込みと呼ばれる処理が発生する。つまり外部から書き込みデータがページ単位で渡された時、それ以外のページに関しては、従来データをそのまま保持する必要があるため、変更する旧ブロックから読み出し、そのデータを合成して1ブロック分の書き込みを行っている。書き込み開始ページ、終了ページにより、前半巻き込み処理と後半の巻き込み処理がある。

【0033】図9において、ステップ901で先頭ページか否か判断する。先頭ページの場合はステップ902に進み書き込み済みフラグ101に0(書き込み済み)をセットする。ステップ903でホストから指示された論理アドレス102をセットする。ステップ904でフラグ1103に1(無効でない)をセットし、このフローチャートを終了する。ステップ901で先頭ページでない場合は、ステップ905に進み最終ページか否か判断

する。最終ページの場合は、ステップ906に進みフラグ2104に0(有効)をセットし、このフローチャートを終了する。最終ページでない場合はこのフローチャートを終了する。

【0034】なお本説明では前述のフラグ、論理アドレスデータだけで説明しているが、実際のシステムにおいてはデータ誤り検出訂正符号等、他にもデータを書き込むことが一般的に行われている。ただしこれらのデータは本発明と関係しないので省略する。従来例である図6から図8との違いは、図9で示したように冗長領域のデータ作成においてフラグ2に0(有効)を書き込む処理が追加された点である。データ作成時間は若干異なるがフラッシュメモリへの物理的な書き込みに要する時間は同じである。

【0035】次にフラグ1、2を使ったブロックデータの判定方法について説明する。従来はフラグ1だけであったが、フラグ1、2の組み合わせにより、以下のように判断を行うことができる。そのブロックが書き込み済みとした場合、まずフラグ1=1(無効でない)かつフラグ2=0(有効)の時のみが有効ブロックであると判断する。

【0036】フラグ1=1(無効でない)かつフラグ2=1(有効でない)のケースは、書き込み途中で中断し、最終ページまで書き込みできなかった無効ブロックとみなす。この場合に、前記の手順でいえば旧ブロックの無効化を行う前のため、電源再投入した場合には旧ブロックが選択され、新データの書き込み自体が無かったことになる。フラグ1=0(無効)かつフラグ2=0(有効)のケースは、上書きにより無効化されたブロックを表わす。フラグ1=0(無効)かつフラグ2=1(有効でない)のケースは、正常な手順ではありえないが無効ブロックとみなす。以上のように、書き込み時の中断が発生しても、2つのフラグによりそのブロックデータの有効、無効を判断することができる。

【0037】図10を用いて、本発明の実施例1の電源投入時のテーブル作成手順について説明する。図10は、論理物理アドレス変換テーブル作成処理のフローチャートである。図10において、まずはじめにテーブル作成のためテーブル領域を初期化する。ステップ1001で論理物理アドレス変換テーブルを初期化する。論理物理アドレス変換テーブル上で、全論理ブロックを未割り付け状態に設定する。ステップ1002でエントリテーブルを初期化する。エントリテーブル上で全物理ブロックを消去済み状態に設定する。ステップ1003で無効テーブルを初期化する。無効テーブル上で全物理ブロックを無効に設定する。無効テーブルは、書き込まれたデータが無効であって未消去のブロックを表すRAM上に設けられたテーブルである。

【0038】ステップ1004でRAM上に設けられたブロックカウンタを初期化する(ブロックカウンタ=

0)。ステップ1005で書き込み済みフラグ101=1(未書き込み)か否か判断する。書き込み済みフラグ101=1(未書き込み)の場合は、エントリテーブルの該当ビットを消去済みにする。本フローチャートにおいてははじめにエントリテーブルを全て初期化(消去済み)としているため、この処理は不要である。ステップ1010に進み無効テーブルの該当ビットを有効にする。当ブロックの処理を終了し、ステップ1011に進む。ステップ1005の判断において書き込み済みフラグを論理アドレスデータで兼用している場合も同様である。なお、未書き込みの場合は最終ページを読み出す必要はない。ステップ1005で書き込み済みフラグ=0(書き込み済み)の場合は、ステップ1006に進みエントリテーブルの該当ビットを使用済みにする。

【0039】ステップ1007でフラグ1=1(無効でない)か否か判断する。フラグ1=0(無効)の場合は、当ブロックの処理を終了しステップ1011に進む。フラグ1=1(無効でない)の場合は、ステップ1008に進みフラグ2=0(有効)か否か判断する。フラグ2=1(有効でない)の場合は、当ブロックの処理を終了しステップ1011に進む。フラグ2=0(有効)の場合は、そのブロックを有効とみなし、ステップ1009に進み論理物理アドレス変換テーブルに登録する。ステップ1010で無効テーブルの該当ビットを有効にする。ステップ1011でブロックカウンタに1を加算する。ステップ1012で最終ブロックか否か判断する。最終ブロックでない場合は、ステップ1005に戻り次のブロックの処理を行う。最終ブロックの場合は、このフローチャートを終了する。

【0040】このように図10の処理は、物理アドレスに従って順々に最終ブロックまで先頭ページと最終ページの冗長領域を読み出し、論理物理アドレス変換テーブル、エントリテーブル及び無効テーブルを作成する処理であり、ステップ1008の判断が従来の処理に追加されただけの構造となっている。なお実際の制御においては、本フローチャートのように、書き込み済みで無効であるブロックを記憶しておくテーブル(無効テーブル)を用意するシステムが一般的である。これは消去すべきブロックのリストというべきもので、上書きした場合に物理的に消去せず、前述のフラグ1により無効化マーキングするシステムにおいては、他のブロックの書き込み処理の時間を利用して並列に無効化されたブロックの消去処理を行う必要がある。この場合に、消去すべきブロックを検索する場合に使用される。従って、初期時だけではなく上書き時にも、旧ブロックの無効化に合わせて、このテーブル上のデータも更新されている。

【0041】以上のように、従来の書き込み手順、論理物理アドレス変換テーブル作成手順から大きな変更、追加を行うことなく、上書き途中の中断による同一論理アドレスに対する物理アドレスの重複の危険性を大きく低

減させることができる。

【0042】《実施例2》図7、11、12を用いて、本発明の実施例2のメモリシステムの書き込み手順について説明する。図11は、本発明の実施例2の1ブロック書き込み処理の概要フローチャートである。実施例1(図6)との違いは、データ種別の判定(ステップ1103からステップ1105)と新ブロックの有効化(ステップ1107からステップ1110)を追加した点である。図12は、本発明の実施例2の図7のステップ706における冗長領域データ作成処理部の詳細フローチャートである。実施例1(図9)との違いは、有効確認フラグによりフラグ2を設定する点(ステップ1206からステップ1207)である。

【0043】図11において、ステップ1101でエントリテーブルより消去済みブロックを検索する。ステップ1102でエントリテーブルを更新し、消去済みブロックを確保する。ステップ1103で書き込みを行った後に正当性の確認が必要か否かデータの種別を判断する。必要な場合は、ステップ1104に進みRAM上に設けた有効確認フラグを1に設定する。不要な場合は、ステップ1105に進み有効確認フラグを0に設定する。有効確認フラグは、プログラム実行上仮に設定したフラグであって当該フラグはフラッシュメモリ上に書き込まれるわけではない。ステップ1106で確保したブロックにデータを書き込む(詳細は図7、12)。

【0044】ステップ1107で有効確認フラグが1(必要)か否か判断する。有効確認フラグ=1(必要)の場合、ステップ1108に進みホストから受け取ったデータの正当性チェックをする。例えば、データの訂正符号、取り得るべき値かどうかをチェックする。ステップ1109でそのデータの正当性チェックに従い分岐する。データが有効な場合は、ステップ1110に進み新ブロックの最終ページのフラグ2に0(有効)をオーバーライトし、新ブロックを有効化する。ステップ1107で有効確認フラグ=0(不要)の場合、ステップ1106でデータ書き込み時に新ブロックの有効化を行っているため(後述する図12の説明参照)、ステップ1111に進む。ステップ1111からステップ1113は図6のステップ604からステップ606と同じであるため説明を省略する。ステップ1109でデータが有効でない場合は、このフローチャートを終了する。

【0045】ステップ1106(図11)において、図7に示す処理を行う。図7においては実施例1と同じであるため説明を省略する。実施例2のステップ706(図7)において、図12に示す処理を行う。図12において、ステップ1201からステップ1205は実施例1(図9)のステップ901からステップ905と同様であるため説明を省略する。ステップ1205で最終ページの場合は、ステップ1206に進み有効確認フラグが1(必要)か否か判断する。有効確認フラグ=1(必要)の場

に関する有効化フラグ、無効化フラグという説明を行っているが、データのものに限らない。冗長領域にある本来のユーザデータとは異なる、システムが使用する別のデータに関しても、上書きを行うことで新データの有効化と旧データの無効化を行う必要があるものには応用可能である。

【0054】

【発明の効果】本発明によれば、従来の書き込み手順、論理物理アドレス変換テーブル作成手順から大きな変更、追加をすることなく、上書き途中の中断による同一論理アドレスに対する物理アドレスの重複の危険性を大きく低減させ、信頼性を確保しつつ高速動作可能なシステムを構築することができる。

【図面の簡単な説明】

【図1】本発明の実施例1のフラッシュメモリ物理ブロック内の構成図例

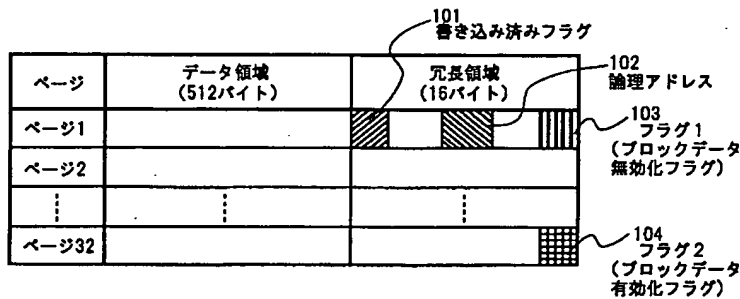
【図2】従来のフラッシュメモリ物理ブロック構成例

【図3】従来のフラッシュメモリ物理ブロック内の構成図例

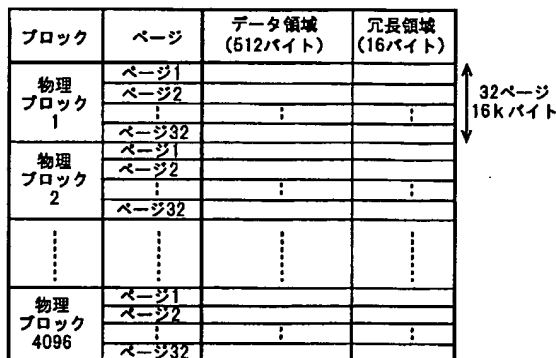
【図4】論理アドレスと物理アドレスの関係を表す図

【図5】論理物理アドレス変換テーブルの例

【図1】



【図2】



【図6】1ブロック書き込み処理概略フローチャート

【図7】図6における新データ書き込み処理部の詳細フローチャート

【図8】従来の図7における冗長領域データ作成処理部の詳細フローチャート

【図9】本発明の実施例1の図7における冗長領域データ作成処理部の詳細フローチャート

【図10】本発明の実施例1の電源投入時の論理物理アドレス変換テーブル作成処理概略フローチャート

【図11】本発明の実施例2の1ブロック書き込み処理概略フローチャート

【図12】本発明の実施例2の図7における冗長領域データ作成処理部の詳細フローチャート

【図13】本発明の実施例4のフラッシュメモリ物理ブロック内の構成図例

【符号の説明】

101 書き込み済みフラグ

102 論理アドレス

103 フラグ1 (ブロックデータ無効化フラグ)

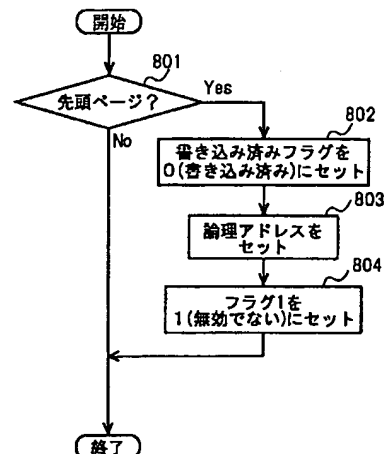
104 フラグ2 (ブロックデータ有効化フラグ)

105 新旧判定用カウンタ

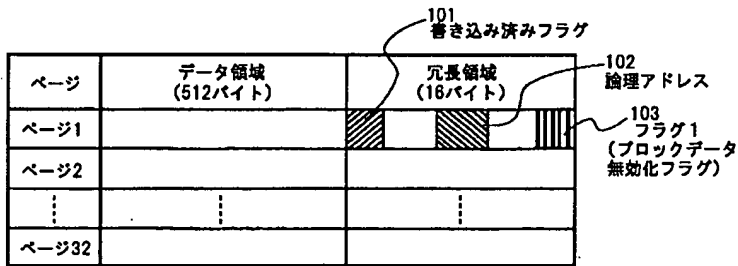
【図5】

論理アドレス	物理アドレス
0	1
1	3
2	4
3	0
4	—
⋮	⋮

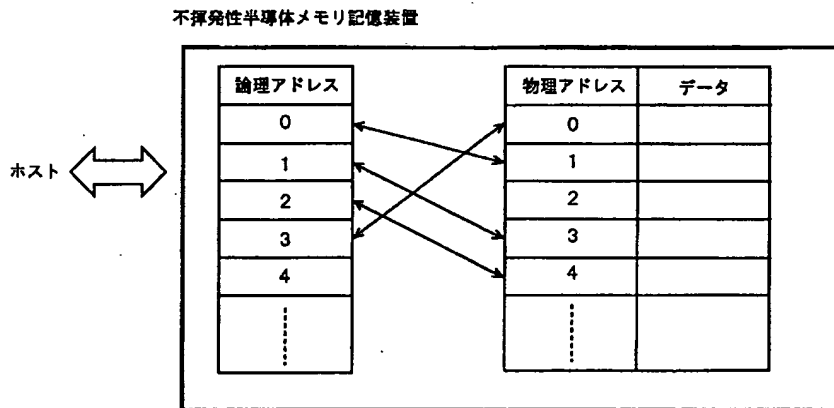
【図8】



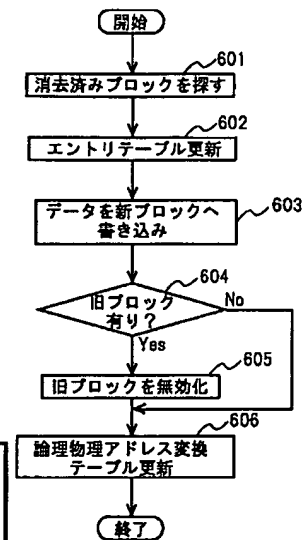
【図 3】



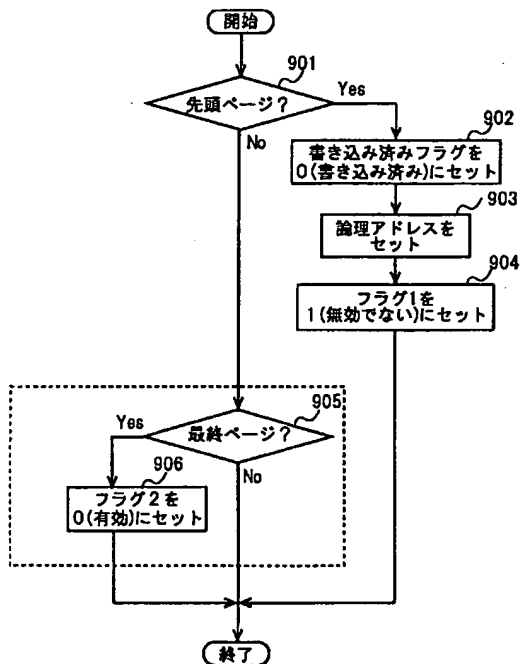
【図 4】



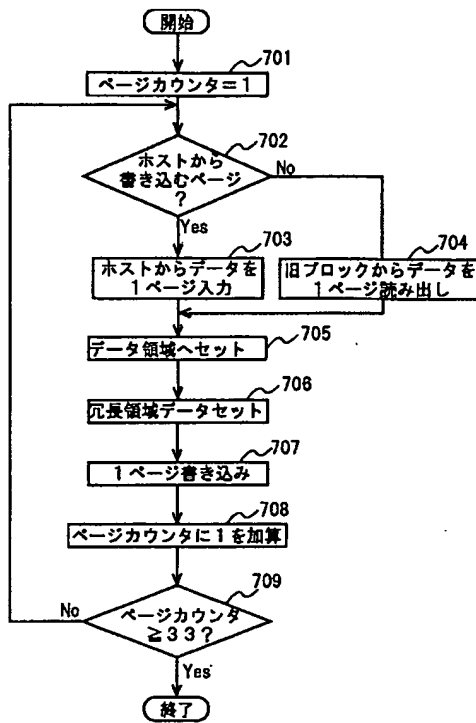
【図 6】



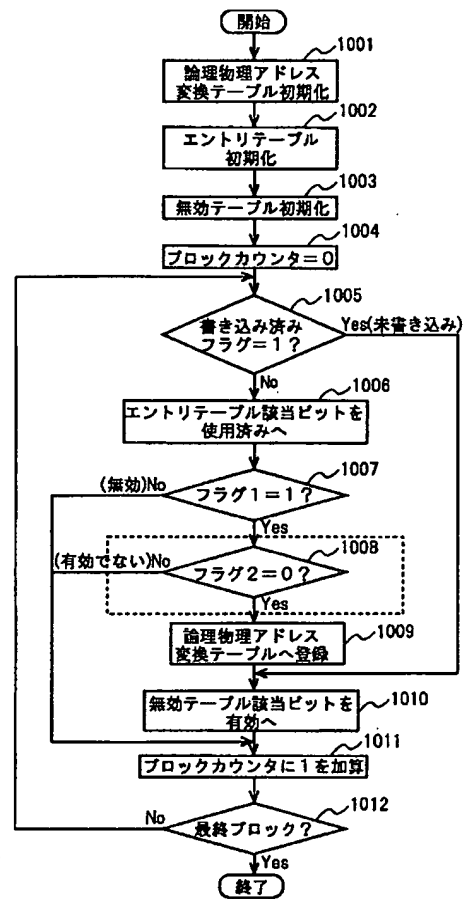
【図 9】



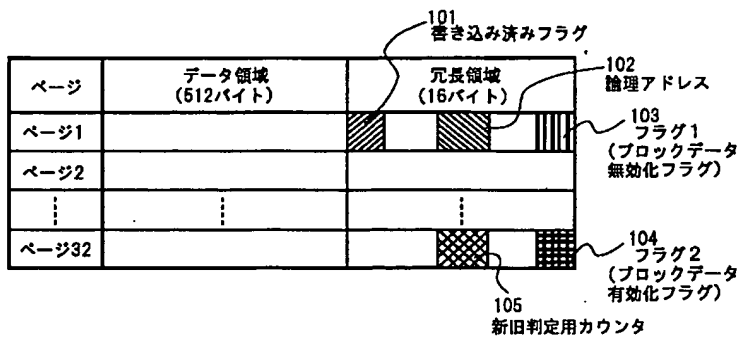
【図7】



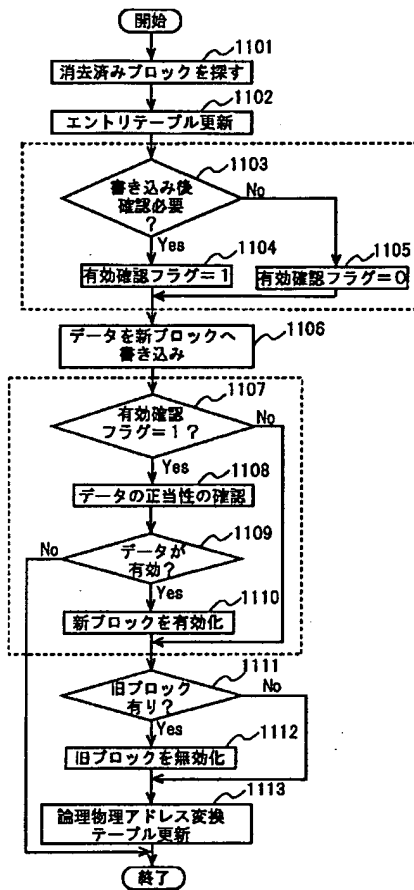
【図10】



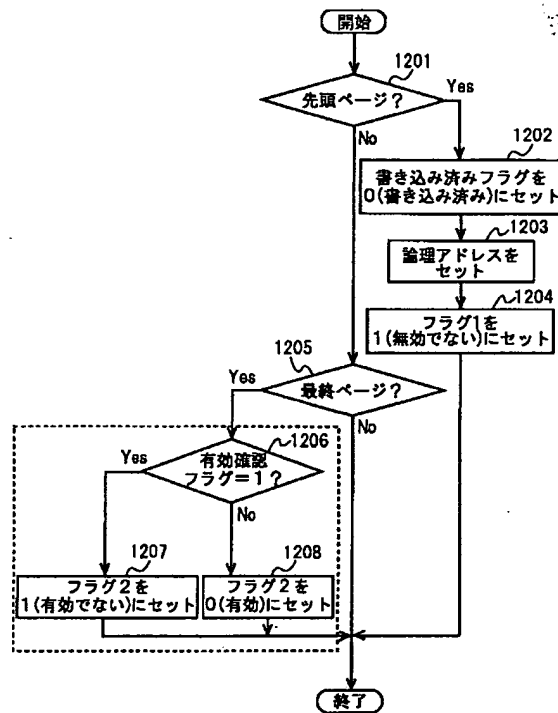
【図13】



【図11】



【図12】



フロントページの続き

(72)発明者 岩田 和也
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5B018 GA04 HA22 NA06 QA05
5B025 AD04 AD05 AD08 AE05 AE08
5B082 DB03 JA06